

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134374

(P2002-134374A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L	21/02	H 0 1 L	B 5 F 1 1 0
	27/12		B
	29/786		6 2 0
	21/336		6 2 6 C
			6 2 7 D
審査請求 未請求 請求項の数12 O L (全 14 頁)			

(21) 出願番号 特願2000-325368 (P2000-325368)

(22) 出願日 平成12年10月25日 (2000. 10. 25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 一法師 隆志

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 松本 拓治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム (参考) 5F110 AA30 CC01 DD05 DD13 DD24

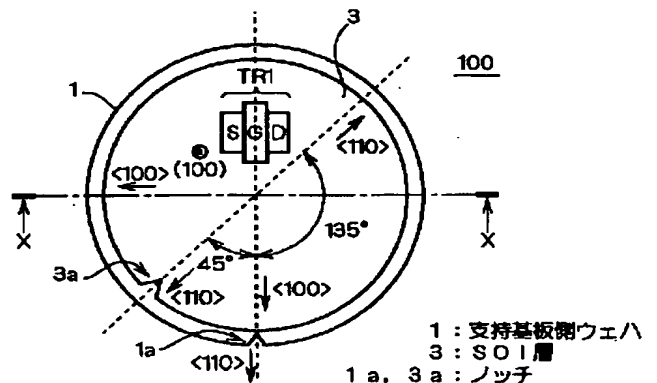
GG02 GG12 GG17 QQ17

(54) 【発明の名称】 半導体ウェハ、その製造方法およびその製造装置

(57) 【要約】

【課題】 支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類のウェハを用意しなくてもよいものを提供する。

【解決手段】 同じ結晶方位<110>にノッチやオリエンテーションフラットが付された2枚の半導体ウェハの一方を支持基板側ウェハ1とし、他方をデバイス形成側ウェハとして、ノッチやオリエンテーションフラット同士が互いにずれた状態で (例えばデバイス形成側ウェハの結晶方位<100>と支持基板側ウェハ1の結晶方位<110>とが同方向となるように) 両ウェハを貼り合わせる。そしてデバイス形成側ウェハを分割してSOI層3とし、SOI層3にMOSトランジスタTR1等を形成する。



【特許請求の範囲】

【請求項1】 結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第1および第2の半導体ウェハを備え、

前記第1および第2の半導体ウェハにおいて前記結晶方位表示部は同じ結晶方位を示し、

前記結晶方位表示部同士が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハ。

【請求項2】 請求項1に記載の半導体ウェハであって、

前記第1および第2の半導体ウェハはともに〈100〉面が主表面となる〈100〉ウェハであって、

前記結晶方位表示部同士が互いに45°または135°ずれている半導体ウェハ。

【請求項3】 請求項2に記載の半導体ウェハであって、

前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、

前記デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位〈100〉の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハ。

【請求項4】 第1の半導体ウェハと、結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第2の半導体ウェハとを備え、

前記第1の半導体ウェハの主表面の一部が前記第2の半導体ウェハの結晶方位表示部に露出するように前記第1および第2の半導体ウェハが貼り合わされ、

前記第1の半導体ウェハの主表面の前記一部に印字が付されている半導体ウェハ。

【請求項5】 請求項4に記載の半導体ウェハであって、

前記第1の半導体ウェハの端部にも結晶方位を示す切り欠きである結晶方位表示部が形成され、

前記第1の半導体ウェハの前記結晶方位表示部と前記第2の半導体ウェハの前記結晶方位表示部とのなす角度が180°である半導体ウェハ。

【請求項6】 請求項4に記載の半導体ウェハであって、

前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはSOI層用ウェハであって、前記支持基板側ウェハおよび前記SOI層用ウェハのうち少なくとも一方の主表面には絶膜が形成された半導体ウェハ。

【請求項7】 ともにバルク構造である第1および第2の半導体ウェハを備え、

結晶方位が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハ。

【請求項8】 請求項7に記載の半導体ウェハであって、

前記第1および第2の半導体ウェハはともに〈100〉面が主表面となる〈100〉ウェハであって、

前記結晶方位が互いに45°または135°ずれている半導体ウェハ。

【請求項9】 請求項8に記載の半導体ウェハであって、

前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、

前記デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位〈100〉の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハ。

【請求項10】 請求項7に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面から水素イオンを注入し、前記主表面から所定の深さの位置に結晶欠陥層を形成することにより前記第2の半導体ウェハを準備する工程(a)と、

前記第1および第2の半導体ウェハの結晶方位が互いにずれた状態で、前記第2の半導体ウェハの主表面を前記第1の半導体ウェハの主表面に貼り合わせる工程(b)と、

前記第1および第2の半導体ウェハに熱処理を行って前記第2の半導体ウェハを前記結晶欠陥層において分割する工程(c)と、

前記第1および第2の半導体ウェハのうち前記結晶欠陥層の存在した部分から研磨を行う工程(d)とを備える半導体ウェハの製造方法。

【請求項11】 請求項7に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面に多孔質半導体層および半導体層を形成して前記第2の半導体ウェハを準備する工程(a)と、

前記第1および第2の半導体ウェハの結晶方位が互いにずれた状態で、前記第2の半導体ウェハの前記半導体層を前記第1の半導体ウェハの主表面に貼り合わせる工程(b)と、

前記半導体基板および前記多孔質半導体層を除去する工程(c)とを備える半導体ウェハの製造方法。

【請求項12】 請求項1に記載の半導体ウェハを製造する製造装置であって、

前記第1の半導体ウェハが載置される凹部が形成された支持台と、

前記第1および第2の半導体ウェハを貼り合わせる際に前記第2の半導体ウェハの位置合わせガイドとして用いられる、前記凹部を囲んで前記支持台上に設置されたガイド部材とを備え、

前記凹部の端部には前記第1の半導体ウェハの前記結晶

方位表示部に当接する凸部が形成され、

前記ガイド部材には、前記第2の半導体ウェハの前記結晶方位表示部に当接することが可能な可動の凸部が設けられ、

前記凹部の端部に形成された前記凸部の位置と、前記ガイド部材に設けられた前記凸部の位置とは、所定の角度だけ互いにずれている半導体ウェハの製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、集積回路などがその表面に形成される半導体ウェハに関する。

【0002】

【従来の技術】SOI（Silicon On Insulator）ウェハを、支持基板側ウェハとSOI層用ウェハとを貼り合わせて製造する場合、SMART CUT法やELTRAN法などが用いられる（SMART CUT法については例えば“SMART CUT: A PROMISING NEW SOI MATERIAL TECHNOLOGY” M. BRUEL et al., Proceedings 1995 IEEE International SOI Conference, Oct. 1995, pp. 178-179を、ELTRAN法については例えば“HIGH-QUALITY EPITAXIAL LAYER TRANSFER (ELTRAN) BY BOND AND ETCH-BACK OF POROUS Si” N. Sato et al., Proceedings 1995 IEEE International SOI Conference, Oct. 1995, pp. 176-177 や “Water Jet Splitting of Thin Porous Si for ELTRAN” K. Ohmi et al., Extended Abstracts of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp. 354-355を、それぞれ参照）。

【0003】さて、図17は従来のSOIウェハの一例を示す図である。なお、このSOIウェハ400は（100）面が主表面となる（100）ウェハである。また図18は、図17中の切断線W-Wにおける断面を示した図である。

【0004】図17および図18に示すようにこのSOIウェハ400においては、例えばシリコン基板からなる支持基板側ウェハ1の主表面に酸化膜層2が形成され、酸化膜層2の上面にSOI層3が形成されている。このSOI層3および酸化膜層2は、主表面に酸化膜が形成されたSOI層用ウェハが支持基板側ウェハ1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、SOI層3と酸化膜層2とはほぼ同じ径となるが、製法によっては両者の径が若干異なることもある。

【0005】そして、SOI層3には、MOS（Metal Oxide Semiconductor）トランジスタTR1、TR2等のデバイス、およびそれらデバイス間を接続する配線を含む半導体装置が形成される。なお、支持基板側ウェハ1およびSOI層3にはそれぞれ、結晶方位<110>の方向にノッチ1a、3aが形成されている。また、図17ではウェハ面内の結晶方位<100>および<110>をも合わせて表示している。

【0006】従来のSOIウェハにおいては、MOSトランジスタのソース/ドレイン間のチャネル方向が結晶方位<110>と平行になるように配置されるのが一般的であった。図17中のMOSトランジスタTR1、TR2がその一例である。なお、MOSトランジスタTR1、TR2中に示された記号Sはソースを、記号Dはドレインを、記号Gはゲートを、それぞれ示す。

- 【0007】しかし、チャネル方向を結晶方位<100>と平行になるよう配置することで、トランジスタ特性を变化させることができる。具体的には、チャネル方向を結晶方位<100>と平行に配置することにより、PチャネルMOSトランジスタの電流駆動力が15パーセント程度向上し、さらに、短チャネル効果も小さくなることが分かっている。電流駆動力が向上する理由は、結晶方位<100>の正孔の移動度の方が結晶方位<110>のそれよりも大きいためであり、短チャネル効果が小さくなる理由は、結晶方位<100>のボロンの拡散係数の値の方が結晶方位<110>のそれよりも小さいためと考えられている（参考文献：“Effect of <100> Channel Direction for High Performance SOE Immune pMOSFET with Less Than 0.15 μm Gate Length” H. Sayama et al., IEDM99, pp. 657-660）。

【0008】

- 【発明が解決しようとする課題】さて、（100）ウェハにおいてMOSトランジスタのチャネル方向を結晶方位<100>と平行に配置する場合、従来の回路パターン用マスクや製造装置などを用いて回路形成するためには、ウェハの方向を45°または135°回転させる必要がある。この際、従来の製造装置にウェハをそのまま適用できるように、ノッチやオリエンテーションフラットの方向を結晶方位<110>から結晶方位<100>へと変更することが望ましい。

【0009】ところが、ウェハを単に45°または135°回転させるだけでは、新たなデバイスの開発に支障をきたすことがある。以下にこのことを説明する。

【0010】シリコン結晶等のダイヤモンド構造を有する結晶のウェハでは、その結晶面{110}または{111}が劈開面である。特に（100）ウェハの場合、結晶面{110}が劈開面となる。

- 【0011】デバイス開発の局面においては、ウェハに形成されたデバイスの断面構造を電子顕微鏡で観察することが行われるが、その場合、ウェハを劈開することが多い。劈開面以外の面を露出させようとすると、ウェハに対してFIB（Focused Ion Beam）装置等を用いてエッチングを行う必要があり、手間がかかって開発効率を下げてしまうからである。

【0012】さて、（100）ウェハを単に45°または135°回転させて、その表面にチャネル方向が結晶方位<100>に平行なMOSトランジスタを形成すると、図19に示すようになる。図19においては、結晶

方位<100>の方向にノッチ30aが形成されたウェハ30の(100)面に、MOSトランジスタTR3が形成されている。

【0013】このウェハ30を劈開した場合、結晶方位<110>の方向に劈開面CLが現れる。すると、MOSトランジスタTR3のチャンネル方向を結晶方位<100>に平行に配置しているために、チャンネルやゲートの方向に対して斜めに割れたMOSトランジスタTR3の断面が現れる。そのため、チャンネルやゲートの方向に対して斜めの断面構造を観察することになり、例えばゲート幅の評価等を正確に行うことが難しくなる。

【0014】また図20は、メモリ等のセルCEをマトリクス状に配置したメモリセルアレイデバイスARを、チャンネル方向が結晶方位<100>に平行になるようにしてウェハ30に形成した場合の例を示したものである。この場合も、結晶方位<110>の方向に劈開面CLが現れるので、チャンネルやゲートの方向に対して斜めの断面構造を観察することになり、例えば各セルの断面構造の周期性の評価等を正確に行うことが難しくなる。

【0015】すなわち、ウェハを単に45°または135°回転させてデバイスを形成するだけでは、所望する断面構造を劈開により露出させることが困難であり、新たなデバイスの開発に支障をきたすのである。

【0016】そこで、SOIウェハの場合には、デバイス形成側ウェハたるSOI層用ウェハだけを45°回転させて支持基板側ウェハに貼り付けて製造することが考えられる。すなわち、図21に示すように、結晶方位<100>の方向にノッチ30aを有する(100)ウェハのSOI層用ウェハ30を、結晶方位<110>の方向にノッチ1aを有する(100)ウェハの支持基板側ウェハ1に貼り合わせて、SOIウェハ500を製造すればよい。そうすれば、劈開時にはウェハ厚の大部分を占める支持基板側ウェハ1の劈開面に沿ってウェハを割ることができ、かつ、チャンネル方向が結晶方位<100>に平行なMOSトランジスタを形成することができ

る。【0017】ところが、この場合、SOI層用ウェハ30には結晶方位<100>の方向にノッチ30aを設け、支持基板側ウェハ1には結晶方位<110>の方向にノッチ1aを設けるために、ノッチの方向の違いで2種類の半導体ウェハを用意する必要がある。そのため、製造工程が煩雑となる。

【0018】そこで、この発明の課題は、支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意しなくてもよいものを提供することにある。

【0019】

【課題を解決するための手段】請求項1に記載の発明は、結晶方位を示す切り欠きである結晶方位表示部が端

部に形成された第1および第2の半導体ウェハを備え、前記第1および第2の半導体ウェハにおいて前記結晶方位表示部は同じ結晶方位を示し、前記結晶方位表示部同士が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハである。

【0020】請求項2に記載の発明は、請求項1に記載の半導体ウェハであって、前記第1および第2の半導体ウェハはともに(100)面が主表面となる(100)ウェハであって、前記結晶方位表示部同士が互いに45°または135°ずれている半導体ウェハである。

【0021】請求項3に記載の発明は、請求項2に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、前記デバイス形成側ウェハの主表面には、ソース/ドレイン間のチャンネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハである。

【0022】請求項4に記載の発明は、第1の半導体ウェハと、結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第2の半導体ウェハとを備え、前記第1の半導体ウェハの主表面の一部が前記第2の半導体ウェハの結晶方位表示部に露出するように前記第1および第2の半導体ウェハが貼り合わされ、前記第1の半導体ウェハの主表面の前記一部に印字が付されている半導体ウェハである。

【0023】請求項5に記載の発明は、請求項4に記載の半導体ウェハであって、前記第1の半導体ウェハの端部にも結晶方位を示す切り欠きである結晶方位表示部が形成され、前記第1の半導体ウェハの前記結晶方位表示部と前記第2の半導体ウェハの前記結晶方位表示部とのなす角度が180°である半導体ウェハである。

【0024】請求項6に記載の発明は、請求項4に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはSOI層用ウェハであって、前記支持基板側ウェハおよび前記SOI層用ウェハのうち少なくとも一方の主表面には絶縁膜が形成された半導体ウェハである。

【0025】請求項7に記載の発明は、ともにバルク構造である第1および第2の半導体ウェハを備え、結晶方位が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハである。

【0026】請求項8に記載の発明は、請求項7に記載の半導体ウェハであって、前記第1および第2の半導体ウェハはともに(100)面が主表面となる(100)ウェハであって、前記結晶方位が互いに45°または135°ずれている半導体ウェハである。

【0027】請求項9に記載の発明は、請求項8に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、前記デバイス形成側ウェハ

の主表面には、ソース／ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハである。

【0028】請求項10に記載の発明は、請求項7に記載の半導体ウェハを製造する製造方法であって、半導体基板の主表面から水素イオンを注入し、前記主表面から所定の深さの位置に結晶欠陥層を形成することにより前記第2の半導体ウェハを準備する工程(a)と、前記第1および第2の半導体ウェハの結晶方位が互いにずれた状態で、前記第2の半導体ウェハの主表面を前記第1の半導体ウェハの主表面に貼り合わせる工程(b)と、前記第1および第2の半導体ウェハに熱処理を行って前記第2の半導体ウェハを前記結晶欠陥層において分割する工程(c)と、前記第1および第2の半導体ウェハのうち前記結晶欠陥層の存在した部分から研磨を行う工程(d)とを備える半導体ウェハの製造方法である。

【0029】請求項11に記載の発明は、請求項7に記載の半導体ウェハを製造する製造方法であって、半導体基板の主表面に多孔質半導体層および半導体層を形成して前記第2の半導体ウェハを準備する工程(a)と、前記第1および第2の半導体ウェハの結晶方位が互いにずれた状態で、前記第2の半導体ウェハの前記半導体層を前記第1の半導体ウェハの主表面に貼り合わせる工程(b)と、前記半導体基板および前記多孔質半導体層を除去する工程(c)とを備える半導体ウェハの製造方法である。

【0030】請求項12に記載の発明は、請求項1に記載の半導体ウェハを製造する製造装置であって、前記第1の半導体ウェハが載置される凹部が形成された支持台と、前記第1および第2の半導体ウェハを貼り合わせる際に前記第2の半導体ウェハの位置合わせガイドとして用いられる、前記凹部を囲んで前記支持台上に設置されたガイド部材とを備え、前記凹部の端部には前記第1の半導体ウェハの前記結晶方位表示部に当接する凸部が形成され、前記ガイド部材には、前記第2の半導体ウェハの前記結晶方位表示部に当接することが可能な可動の凸部が設けられ、前記凹部の端部に形成された前記凸部の位置と、前記ガイド部材に設けられた前記凸部の位置とは、所定の角度だけ互いにずれている半導体ウェハの製造装置である。

【0031】

【発明の実施の形態】<実施の形態1>本実施の形態は、同じ結晶方位にノッチやオリエンテーションフラットが付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、ノッチやオリエンテーションフラット同士が互いにずれた状態で両ウェハを貼り合わせることににより、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意しなくてもよい半導体ウェハを実現するものである。

【0032】図1は本実施の形態に係る半導体ウェハ100を示す図である。また図2は、図1中の切断線X-Xにおける断面を示した図である。

【0033】この半導体ウェハ100はSOIウェハであり、また、(100)面が主表面となる(100)ウェハである。このSOIウェハ100においては、例えばシリコン基板からなる支持基板側ウェハ1の一面に酸化膜層2が形成され、酸化膜層2の上面にSOI層3が形成されている。このSOI層3および酸化膜層2は、デバイス形成側ウェハたるSOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハ1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ1およびSOI層用ウェハはともに(100)ウェハである。また、SOI層3と酸化膜層2とはほぼ同じ径となるが、製法によっては両者の径が若干異なることもある。

【0034】支持基板側ウェハ1およびSOI層3にはそれぞれ、結晶方位<110>の方向にノッチ1a、3aが形成されている。ただし、本実施の形態に係る半導体ウェハ100では、図17に示した従来のSOIウェハ400とは異なり、ノッチの位置を支持基板側ウェハ1とSOI層3との間で45°ずらしている。すなわち、図1に示すように、支持基板側ウェハ1のノッチ1aもSOI層3のノッチ3aも、ともに同じ結晶方位<110>を示しており、かつ、ノッチ同士が互いに45°ずれた状態で貼り合わされて半導体ウェハ100が形成されている。

【0035】図17や図21に示した従来のSOIウェハにおいては、支持基板側ウェハとSOI層用ウェハとで、ノッチやオリエンテーションフラットを一致させて貼り合わせていた。しかし、本実施の形態においては、ノッチ同士が互いにずれた状態で支持基板側ウェハ1およびSOI層用ウェハが貼り合わされているので、同じ結晶方位<100>にノッチが付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハたるSOI層用ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意する必要がない。

【0036】なお、SOI層3に、MOSトランジスタTR1等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置を形成する際、ノッチ1aを用いて従来の手法を援用することにより、MOSトランジスタTR1を、そのソース／ドレイン間のチャネル方向が結晶方位<100>と平行となるように配置することができる。図1において、MOSトランジスタTR1中に示された記号Sはソースを、記号Dはドレインを、記号Gはゲートを、それぞれ示す。

【0037】また、支持基板側ウェハ1とSOI層3との間で、ノッチが互いに45°ずれていることで、ウェハ厚の大部分を占める支持基板側ウェハ1の劈開面である結晶面〔110〕に沿って劈開して、SOI層用ウェハの一部たるSOI層3の結晶面〔100〕を露出させることができる。これにより、MOSトランジスタTR1を含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【0038】なお、支持基板側ウェハ1とSOI層3との間で、ノッチが互いに135°ずれている場合も、上記と同様である。

【0039】また、図1においてSOI層3および酸化膜層2の径は、支持基板側ウェハ1の径よりも小さく表示されている。これは、支持基板側ウェハとSOI層用ウェハとで同じ径のものをを用いるものの、最終形状ではSOI層3の径が支持基板側ウェハ1の径よりもひとまわり小さくなってしまふことを示している。ウェハ周縁部ではウェハ表面が平坦でないために、ウェハ周縁部の接着が充分に行われぬ。そのため、例えばSMART CUT法などを行う場合、SOI層用ウェハを剥離するときにウェハ周縁部も除去されてしまふ。よって、結果的にSOI層3および酸化膜層2の径が支持基板側ウェハ1の径よりもひとまわり小さくなるのである。

【0040】なお、支持基板側ウェハとSOI層用ウェハとで同じ径のものをを用いて貼り合わせを行うことが一般的であるが、両ウェハで径が異なる場合であってもよい。また、本実施の形態においては、SOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハに貼り合わされて形成されたSOIウェハの場合を例に採ったが、他にも、支持基板側ウェハに酸化膜が形成され、そこにSOI層用ウェハが貼り合わされて形成されたSOIウェハや、SOI層用ウェハおよび支持基板側ウェハの両方に酸化膜が形成され、酸化膜同士が貼り合わされて形成されたSOIウェハを採用してもよい。

【0041】また、本実施の形態では、例としてノッチが形成された半導体ウェハの場合を示したが、その他にもオリエンテーションフラットやその他の結晶方位を示す切り欠きが形成された半導体ウェハについても上記と同様な構成をとれば、本実施の形態にかかる半導体ウェハの有する効果をする。

【0042】＜実施の形態2＞本実施の形態は、支持基板側ウェハの主表面のうちSOI層用ウェハのオリエンテーションフラットに露出した部分にレーザーによって印字を付して、他と区別の付きやすい半導体ウェハを実現するものである。さらに、支持基板側ウェハのノッチとSOI層用ウェハのオリエンテーションフラットとのなす角度を180°にして、ノッチを下側に揃えた状態

で複数の半導体ウェハをケース内に収めたときに、ケース外から印字部分を見えやすくした半導体ウェハを実現するものである。

【0043】図3は本実施の形態に係る半導体ウェハ200を示す図である。この半導体ウェハ200も実施の形態1におけると同様、SOIウェハであり、また、(100)面が主表面となる(100)ウェハである。このSOIウェハ200においても、例えばシリコン基板からなる支持基板側ウェハ1の一主表面に酸化膜層2が形成され、酸化膜層2の上面にSOI層31が形成されている。このSOI層31および酸化膜層2は、デバイス形成側ウェハたるSOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハ1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ1およびSOI層用ウェハはともに(100)ウェハである。

【0044】そして、SOI層31には、MOSトランジスタTR1等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置が形成される。

【0045】支持基板側ウェハ1およびSOI層31にはそれぞれ、結晶方位<110>の方向にノッチ1aおよびオリエンテーションフラット31aが形成されている。ただし、本実施の形態に係る半導体ウェハでは、ノッチ1aおよびオリエンテーションフラット31aの位置を、支持基板側ウェハ1とSOI層31との間で180°ずらしている。すなわち、図3に示すように、支持基板側ウェハ1のノッチ1aもSOI層31のオリエンテーションフラット31aも、ともに同じ結晶方位<110>を示しており、かつ、ノッチ1aおよびオリエンテーションフラット31a同士が互いに180°ずれた状態で貼り合わされて半導体ウェハ200が形成されている。

【0046】そして、支持基板側ウェハ1の主表面の一部がSOI層31のオリエンテーションフラット部31aに露出するように、支持基板側ウェハ1およびSOI層31が貼り合わされている。

【0047】さらに、支持基板側ウェハ1の主表面のうち、オリエンテーションフラット部31aに露出した部分には、レーザーによって「LOT NO. 009」との印字LSが付されている。このようにすれば、SOI層31の(100)面の方から半導体ウェハを見たときに印字LSを見ることができ、半導体ウェハの区別が付きやすい。また、支持基板側ウェハ1の主表面のうちオリエンテーションフラット31aに露出した部分を印字スペースとして有効に利用することができる。

【0048】また、支持基板側ウェハ1のノッチ1aとSOI層31のオリエンテーションフラット31aとのなす角度が180°であるので、半導体ウェハの検査工程等において、ノッチ1aを下側に揃えた状態で複数の

半導体ウェハをケース内に収めたときに、ケース外から印字LSの部分が見えやすく半導体ウェハの区別が付きやすい。

【0049】なお、SOI構造の半導体ウェハの場合、レーザーによってSOI層表面に印字を付そうとするとレーザーによる加熱の影響でSOI層の剥離が生じやすいという問題があった。しかし、本実施の形態のように、SOI層ではなく、支持基板側ウェハ1の主表面のうちSOI層31のオリエンテーションフラット部31aに露出した部分にであれば、レーザーによる印字を行っても、SOI層の剥離が生じる可能性が少ない。

【0050】なお、本実施の形態においては、支持基板側ウェハ1にはノッチ1aを採用し、SOI層31にはオリエンテーションフラット31aを採用したが、支持基板側ウェハ1にオリエンテーションフラットを設けてSOI層31にノッチを設ける、或いは、支持基板側ウェハ1およびSOI層31のいずれにもオリエンテーションフラットを設ける、などしてもよい。

【0051】なお、図4は、オリエンテーションフラット31aとノッチ1aとを135°ずらして、実施の形態1にかかる半導体ウェハと同様の効果をもたらすようにした半導体ウェハ201である。この場合もちろん、支持基板側ウェハ1の主表面のうち、オリエンテーションフラット部31aに露出した部分に印字LSを付してもよい。

【0052】＜実施の形態3＞本実施の形態は、SOI構造ではなくバルク構造の半導体ウェハに対しても、その表面側とウェハ内奥部とで結晶方位を異ならしめるようにした半導体ウェハである。

【0053】上述したように、(100)ウェハにおいてMOSTランジスタのチャネル方向を結晶方位<100>と平行に配置する場合、ウェハを単に45°または135°回転させるだけでは、新たなデバイスの開発に支障をきたす。このことはSOIウェハだけでなく、バルクウェハに対しても当てはまる。

【0054】そこで、本実施の形態においては、支持基板側ウェハとデバイス形成側ウェハとを貼り合わせ、デバイス形成側ウェハの一部をデバイス形成層として用いることにより、結晶方位がその表面側とウェハ内奥部とで異なるバルクウェハを形成する。

【0055】図5は本実施の形態に係る半導体ウェハ300を示す図である。また図6は、図5中の切断線Y-Yにおける断面を示した図である。この半導体ウェハ300はバルクウェハであり、また(100)面が主表面となる(100)ウェハである。

【0056】本実施の形態にかかる半導体ウェハ300においては、例えばシリコン基板からなる支持基板側ウェハ11の一主表面に、デバイス形成層32が形成されている。このデバイス形成層32は、例えばシリコン基板からなるデバイス形成側ウェハが支持基板側ウェハ1

1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ11およびデバイス形成側ウェハはともに(100)ウェハである。また、20.32cm径のウェハの場合で、支持基板側ウェハ11の厚さT2は例えば700μm程度、デバイス形成層32の厚さT1は例えば0.1〜数μm程度としておけばよい。

【0057】支持基板側ウェハ11およびデバイス形成層32にはそれぞれ、結晶方位<110>の方向にノッチ11a、32aが形成されている。本実施の形態に係る半導体ウェハ300においても、実施の形態1にかかる半導体ウェハ100と同様、ノッチの位置を支持基板側ウェハ11とデバイス形成層32との間で45°ずらしている。すなわち、図5に示すように、支持基板側ウェハ11のノッチ11aもデバイス形成層32のノッチ32aも、ともに同じ結晶方位<110>を示しており、かつ、ノッチ同士が互いに45°ずれた状態で貼り合わされて半導体ウェハが形成されている。

【0058】本実施の形態に係る半導体ウェハによれば、結晶方位が互いにずれた状態でバルク構造の支持基板側ウェハとデバイス形成側ウェハとが貼り合わされているので、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。

【0059】そして、ノッチ同士が互いにずれた状態で支持基板側ウェハ11およびデバイス形成側ウェハが貼り合わされているので、同じ結晶方位<100>にノッチが付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意する必要がない。

【0060】そして、デバイス形成層32には、MOSTランジスタTR1等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置が形成される。なお、実施の形態1と同様にして、MOSTランジスタTR1を、そのソース/ドレイン間のチャネル方向が結晶方位<100>と平行となるように形成できる。MOSTランジスタTR1中に示された記号Sはソースを、記号Dはドレインを、記号Gはゲートを、それぞれ示す。

【0061】また、支持基板側ウェハ11とデバイス形成層32との間で、ノッチが互いに45°ずれていることで、支持基板側ウェハ11の劈開面である結晶面{110}に沿って劈開して、デバイス形成側ウェハの一部たるデバイス形成層32の結晶面{100}を露出させることができる。そして、デバイス形成層32の主表面には、ソース/ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSTランジスタTR1を含む半導体装置が形成されているので、支持基板側ウェハ

11の劈開面である結晶面〔110〕に沿って劈開したときに、デバイス形成層32の結晶面〔100〕を露出させて、MOSトランジスタTR1を含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【0062】なお、支持基板側ウェハ11とデバイス形成層32との間で、ノッチが互いに135°ずれている場合も、上記と同様である。

【0063】また、図5においてもデバイス形成層32の径が、支持基板側ウェハ11の径よりも小さく表示されているが、これは実施の形態1に係る半導体ウェハの場合と同様の理由からである。

【0064】なお、本実施の形態においても支持基板側ウェハとデバイス形成側ウェハとで同じ径のものをを用いて貼り合わせを行うのであるが、両ウェハで径が異なる場合であってもよい。

【0065】また、本実施の形態では、例としてノッチが形成された半導体ウェハの場合を示したが、その他にもオリエンテーションフラットやその他結晶方位を示す切り欠きが形成された半導体ウェハであってもよい。さらに、結晶方位を正確にずらすことが可能であるならば、ノッチやオリエンテーションフラットを有しない2枚の半導体ウェハを、支持基板側ウェハおよびデバイス形成側ウェハとして用いてもよい。

【0066】＜実施の形態4＞本実施の形態は、実施の形態3にかかる半導体ウェハ300を製造する製造方法について説明するものである。実施の形態3にかかる半導体ウェハ300は、上記のSMART CUT法やELTRAN法を応用することにより製造できる。

【0067】まず、SMART CUT法を応用した製造方法について述べる。図7に示すようにシリコンウェハ等のデバイス形成側ウェハ320を用意し、主表面から水素イオン注入IPを行って所定の深さDP1の位置（デバイス形成層32の厚さT1に相当する位置）に結晶欠陥層DFを形成する。

【0068】次に、図8に示すように、デバイス形成層32となる部分の主表面を支持基板側ウェハ11の主表面に貼り合わせる。図8では貼り合わせ面を符号BDで表している。なおこのとき、支持基板側ウェハ11とデバイス形成側ウェハ320とを、所定の角度（例えば45°）だけずらして貼り合わせておく。

【0069】次に、熱処理を行って結晶欠陥層DFを脆弱化させ、図9に示すように結晶欠陥層DFにおいてデバイス形成側ウェハ320を分割する。このとき、デバイス形成側ウェハ320のうち接着強度の弱い周部も除去される。なお、図9においては分割面を記号DTで示している。

【0070】そして、図10の状態に熱処理を追加してデバイス形成層32と支持基板側ウェハ11との貼り合

わせ強度を上昇させ、デバイス形成層32の表面を軽研磨して残存する結晶欠陥層の除去を行う。そうすれば図6に示した半導体ウェハ300が得られる。なお、この後、デバイス形成層32の表面を犠牲酸化するなどして、その表面を保護しておけばよい。

【0071】次に、ELTRAN法を応用した製造方法について述べる。ここでは例としてウォータージェットを用いたELTRAN法を応用する場合を説明する。まず、図11に示すように、シリコンウェハ等のデバイス形成側ウェハ321を用意し、HF/C₂H₅OH混合の電離液中でいわゆる陽極化成を行って、その主表面に多孔質シリコン層PSを形成する。そして、多孔質シリコン層PSの表面にシリコン層などのデバイス形成層32をCVD（Chemical Vapor Deposition）法等によりエピタキシャル成長させて形成する。

【0072】次に、図12に示すように、デバイス形成層32となる部分の主表面を支持基板側ウェハ11の主表面に貼り合わせる。図11では貼り合わせ面を符号BDで表している。なおこのとき、支持基板側ウェハ11とデバイス形成側ウェハ321とを、所定の角度（例えば45°）だけずらして貼り合わせておく。

【0073】次に、図13に示すようにウォータージェット（高圧水）を多孔質シリコン層PSに浴びせて、ウェハに損傷を与えることなくデバイス形成側ウェハ321を分割する。このとき、デバイス形成側ウェハ321のうち接着強度の弱い周縁部も除去される。なお、図13においては分割面を記号DTで示している。

【0074】そして、図14の状態に熱処理を追加してデバイス形成層32と支持基板側ウェハ11との貼り合わせ強度を上昇させ、デバイス形成層32の表面を軽研磨して残存する多孔質シリコン層の除去を行う。そうすれば図6に示した半導体ウェハ300が得られる。なお、この後、デバイス形成層32の表面を犠牲酸化するなどして、その表面を保護しておけばよい。

【0075】上記のような半導体ウェハの製造方法によれば、実施の形態3にかかる半導体ウェハ300を得ることができる。

【0076】なお、支持基板側ウェハ11とデバイス形成側ウェハ320または321とを所定の角度だけずらして貼り合わせることは、技術的に難しくはない。現状では、ウェハのノッチやオリエンテーションフラットの位置を検出する装置が、多くの半導体製造装置に適用されている。また、SOIウェハの形成の際には、2つのアームを備えたウェハ貼り合わせ装置を用いて2枚のウェハの貼り合わせが行われている。よって、これら位置検出装置とウェハ貼り合わせ装置とを合わせ用いることで、所定の角度だけずらして2枚のウェハを貼り合わせすることは容易に実現できる。

【0077】なお、現状の半導体ウェハでは、ノッチ形成やオリエンテーションフラット形成の位置精度は±2

°程度である。よって、支持基板側ウェハ11とデバイス形成側ウェハ320または321との間で、結晶方位を例えば45°ずらせる際には、この程度の誤差は許容範囲であると考えられる。

【0078】このことを考慮すれば、貼り合わせ時には、ノッチやオリエンテーションフラットの位置を厳密に制御する必要はなく、ウェハガイドを用いた簡単な貼り合わせ装置でも十分に適用可能であると考えられる。そのような半導体ウェハの製造装置の例を以下に示す。

【0079】図15は、支持基板側ウェハ11とデバイス形成側ウェハ320または321との間で、互いのノッチ11a、32aを45°ずらせて貼り合わせることが可能な半導体ウェハ製造装置である。また図16は、図15中の切断線Z-Zにおける断面を示した図である。

【0080】この製造装置は、支持基板側ウェハ11を支持する支持台HDと、デバイス形成側ウェハ320または321の貼り合わせ時の位置合わせガイドとして用いられるウェハガイドGD2と、半導体ウェハを吸引して把持するエアピンAPとを備えている。なお、図15および図16では、デバイス形成側ウェハ320をこの製造装置に適用した場合を示している。また、図15においてはデバイス形成側ウェハ320を破線で表示し、その下側に位置する支持基板側ウェハ11を明示している。

【0081】支持台HDには、支持基板側ウェハ11が載置される凹部HLが形成されている。そして、凹部HLの端部には図15に示すように、支持基板側ウェハ11が載置されたときにそのノッチ11aに当接する凸部HLaが形成されている。なお、この凹部HLの深さDP2は、支持基板側ウェハ11の厚さよりも小さくなるよう設定しておけばよい。

【0082】また、ウェハガイドGD2は、凹部HLを囲んで支持台HDの上に設置されたガイド部材である。このウェハガイドGD2には、デバイス形成側ウェハ320または321のノッチ32aに当接することが可能な可動の凸部GD1が設けられている。そして、この凸部GD1と支持台HDの凹部HLに形成された凸部HLaの位置とが45°だけ互いにずれるよう、ウェハガイドGD2は設置される。

【0083】この製造装置においては、まず、支持基板側ウェハ11を支持台HDの凹部HLに載置し、その後、凸部GD1をウェハガイドGD2から突出させる。そして、エアピンAPでデバイス形成側ウェハ320または321を把持し、ノッチ32aを凸部GD1に当接させつつ降下させ、支持基板側ウェハ11への貼り合わせを行う。そして、凸部GD1をウェハガイドGD2に収納し、貼り合わされた支持基板側ウェハ11およびデバイス形成側ウェハ320または321を、エアピンAPにより引き上げて取り出す。

【0084】なお、凹部HLの深さDP2は支持基板側ウェハ11の厚さよりも小さいので、支持基板側ウェハ11を凹部HL内に載置したときには、支持基板側ウェハ11は支持台HDの表面よりも若干突出する。そのため、凸部GD1がウェハガイドGD2から突出したときに、凸部GD1の底面と支持基板側ウェハ11の表面とが離れ過ぎないようにすることができ、ノッチ32aへの凸部GD1の当接状態を確実に保ちつつデバイス形成側ウェハ320または321を降下させることができる。

【0085】この半導体ウェハ製造装置を用いれば、凹部HLの端部に形成された凸部HLaの位置と、ウェハガイドGD2に設けられた凸部GD1の位置とが、所定の角度だけ互いにずれているので、支持基板側ウェハおよびデバイス形成側ウェハを所定の角度だけずらせて貼り合わせることができ、実施の形態3にかかる半導体ウェハが得られる。また、実施の形態1および2にかかる半導体ウェハも同様にして得られる。

【0086】

【発明の効果】請求項1に記載の発明によれば、結晶方位表示部同士が互いにずれた状態で第1および第2の半導体ウェハが貼り合わされているので、同じ結晶方位に結晶方位表示部が付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、結晶方位表示部の付される結晶方位が異なる2種類の半導体ウェハを用意する必要がない。

【0087】請求項2に記載の発明によれば、第1および第2の半導体ウェハはともに(100)ウェハであって、結晶方位表示部同士が互いに45°または135°ずれているので、第1および第2の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとしたときに、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開して、デバイス形成側ウェハの結晶面{100}を露出させることができる。

【0088】請求項3に記載の発明によれば、デバイス形成側ウェハの主表面には、ソース/ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成されているので、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開したときに、デバイス形成側ウェハの結晶面{100}を露出させて、MOSトランジスタを含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【0089】請求項4に記載の発明によれば、第1の半導体ウェハの主表面のうち第2の半導体ウェハの結晶方位表示部に露出した部分に印字が付されているので、第2の半導体ウェハの表面の方から半導体ウェハを見たとき

きに印字を見ることができ、半導体ウェハの区別が付きやすい。また、第1の半導体ウェハの主表面のうち結晶方位表示部に露出した部分を印字スペースとして有効に利用することができる。

【0090】請求項5に記載の発明によれば、第1の半導体ウェハの結晶方位表示部と第2の半導体ウェハの結晶方位表示部とのなす角度が 180° であるので、半導体ウェハの検査工程等において、第1の半導体ウェハの結晶方位表示部を下側に揃えた状態で複数の半導体ウェハをケース内に収めたときに、ケース外から印字部分が見えやすく半導体ウェハの区別が付きやすい。

【0091】請求項6に記載の発明によれば、半導体ウェハはSOIウェハであり、支持基板側ウェハの主表面のうちSOI層用ウェハの結晶方位表示部に露出した部分に印字が付されるので、レーザーによる印字を行ってもSOI層の剝離が生じる可能性が少ない。

【0092】請求項7に記載の発明によれば、結晶方位が互いにずれた状態でバルク構造の第1および第2の半導体ウェハが貼り合わされているので、第1および第2の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。

【0093】請求項8に記載の発明によれば、第1および第2の半導体ウェハはともに(100)ウェハであって、結晶方位が互いに 45° または 135° ずれているので、第1および第2の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとしたときに、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開して、デバイス形成側ウェハの結晶面{100}を露出させることができる。

【0094】請求項9に記載の発明によれば、デバイス形成側ウェハの主表面には、ソース/ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成されているので、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開したときに、デバイス形成側ウェハの結晶面{100}を露出させて、MOSトランジスタやそれを含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【0095】請求項10に記載の発明によれば、請求項7に記載の半導体ウェハが得られる。

【0096】請求項11に記載の発明によれば、請求項7に記載の半導体ウェハが得られる。

【0097】請求項12に記載の発明によれば、凹部の端部に形成された凸部の位置と、ガイド部材に設けられた凸部の位置とが、所定の角度だけ互いにずれているので、第1および第2の半導体ウェハを所定の角度だけずらして貼り合わせることができ、請求項1に記載の半導

体ウェハが得られる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体ウェハを示す上面図である。

【図2】 実施の形態1に係る半導体ウェハを示す断面図である。

【図3】 実施の形態2に係る半導体ウェハを示す上面図である。

【図4】 実施の形態2に係る半導体ウェハを示す上面図である。

【図5】 実施の形態3に係る半導体ウェハを示す上面図である。

【図6】 実施の形態3に係る半導体ウェハを示す断面図である。

【図7】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図8】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図9】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図10】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図11】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図12】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図13】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図14】 実施の形態4に係る半導体ウェハの製造方法の一工程を示す図である。

【図15】 実施の形態4に係る半導体ウェハの製造方法において用いられる製造装置を示す上面図である。

【図16】 実施の形態4に係る半導体ウェハの製造方法において用いられる製造装置を示す断面図である。

【図17】 従来の半導体ウェハを示す上面図である。

【図18】 従来の半導体ウェハを示す断面図である。

【図19】 従来の半導体ウェハの問題を示す図である。

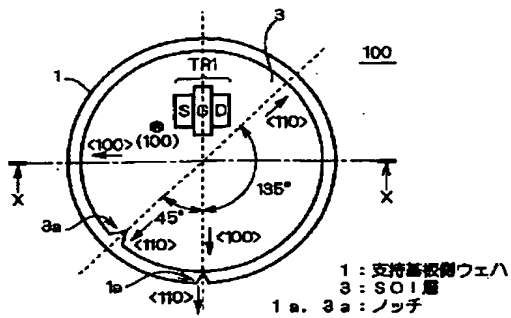
【図20】 従来の半導体ウェハの問題を示す図である。

【図21】 従来の半導体ウェハの問題を示す図である。

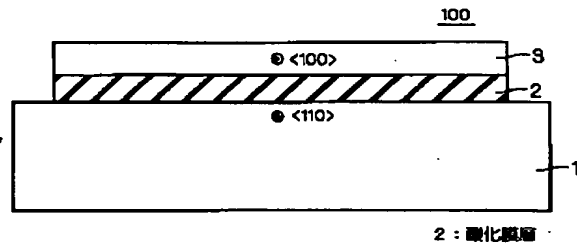
【符号の説明】

1, 11 支持基板側ウェハ、2 酸化膜層、3, 31 SOI層、32 デバイス形成層、1a, 3a, 32a ノッチ、31a オリエンテーションフラット、320, 321 デバイス形成側ウェハ、TR1 MOSトランジスタ、LS 印字、HD 支持台、HL 凹部、HLa 凸部、GD2 ウェハガイド、GD1 凸部、DF 結晶欠陥層、PS 多孔質シリコン層。

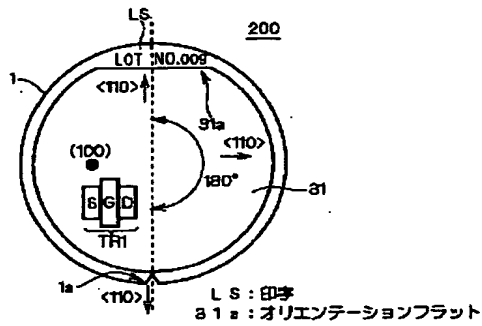
【図1】



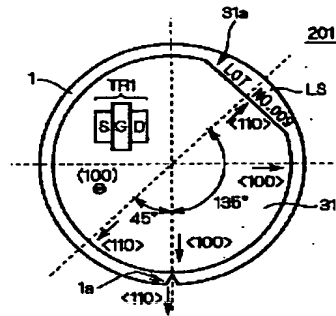
【図2】



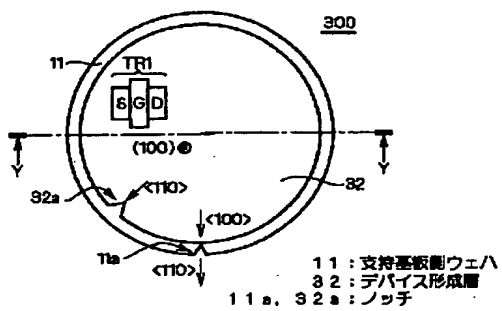
【図3】



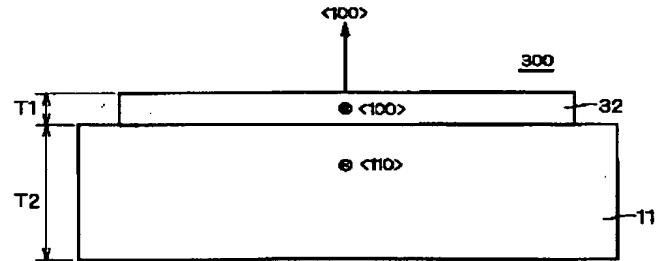
【図4】



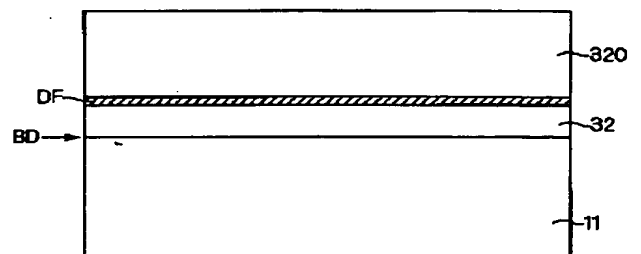
【図5】



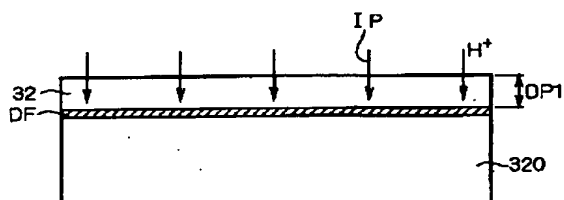
【図6】



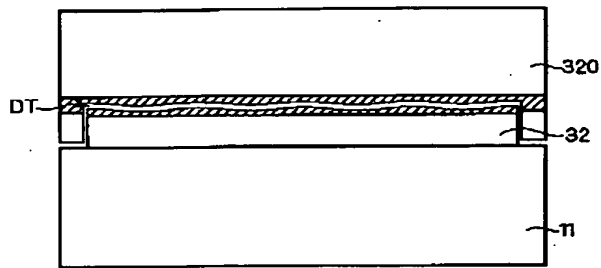
【図8】



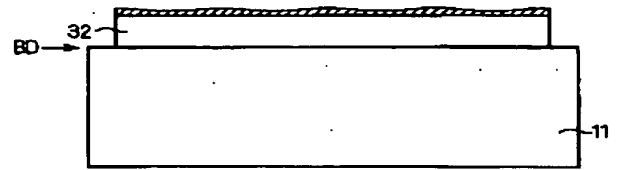
【図7】



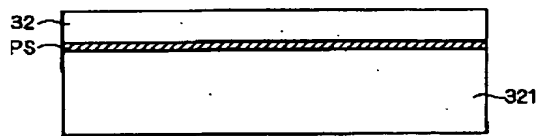
【図9】



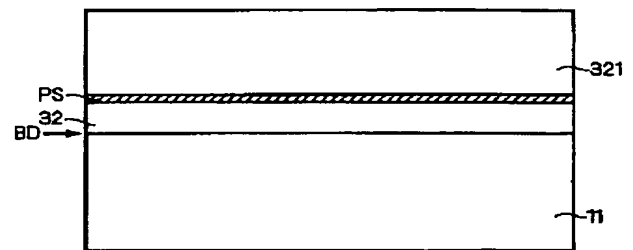
【図10】



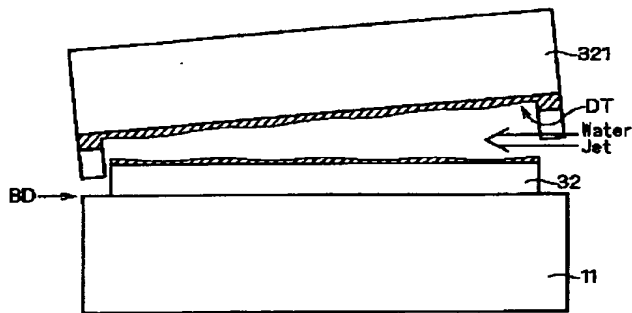
【図11】



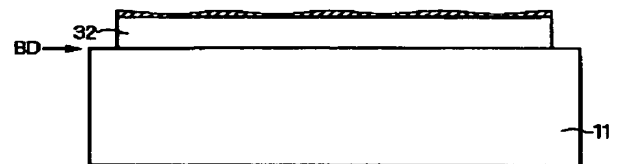
【図12】



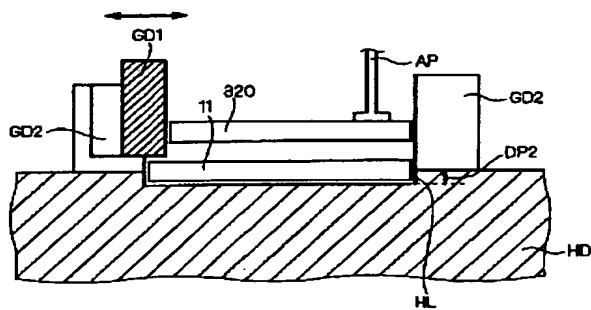
【図13】



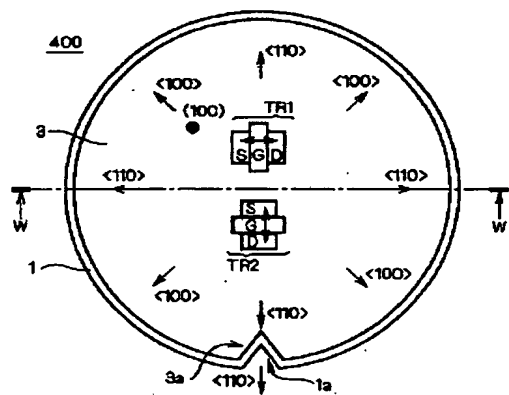
【図14】



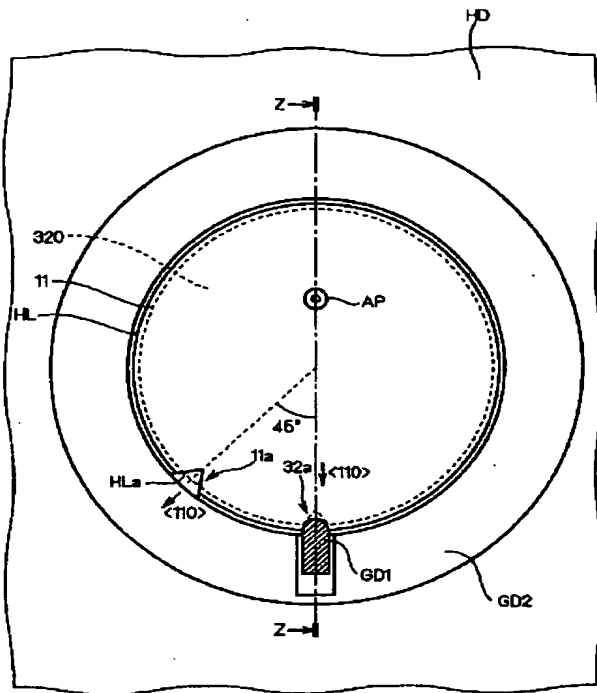
【図16】



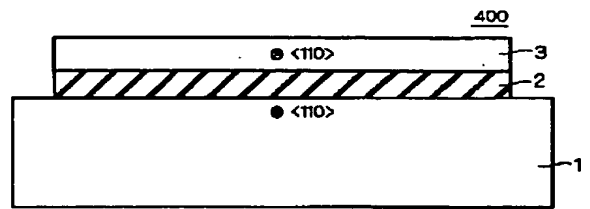
【図17】



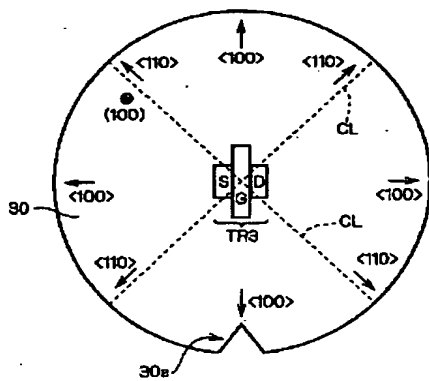
【図15】



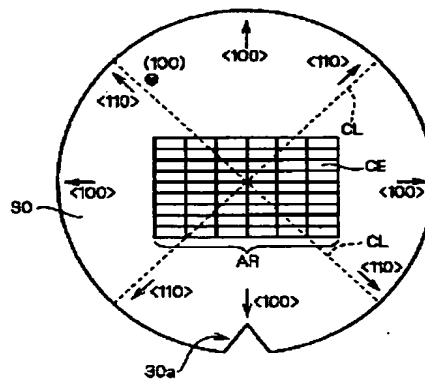
【図18】



【図19】



【図20】



【図21】

